

Реализация некоторых функциональных блоков и устройств в программе DSP

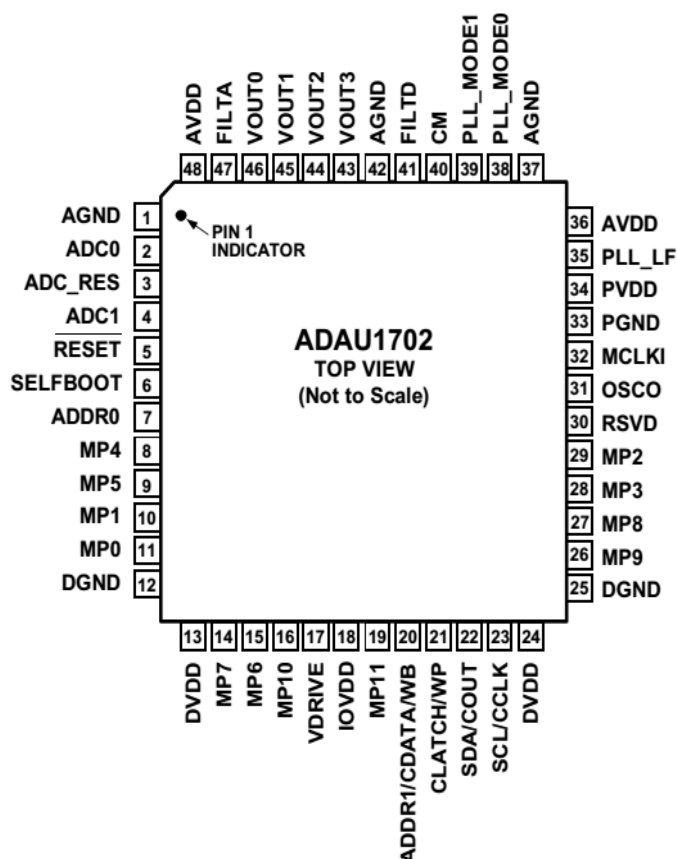


Рисунок 1 — микросхема ADAU1702 (нумерация и названия контактов)

1. **Регулятор громкости с аппаратным управлением** реализуется подключением к микросхеме (ADAU1702) внешнего потенциометра (переменного резистора) и формированием необходимых функциональных блоков в программе DSP. Регулятор громкости (потенциометр) подключается к микросхеме по схеме представленной на рисунке 2.

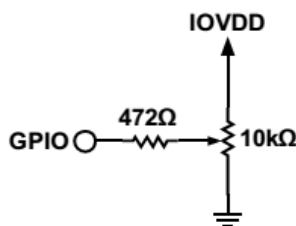


Рисунок 2 — аппаратная часть реализации регулятора громкости

На схеме (рисунок 2) «GPIO» - это вывод самой микросхемы (в данном случае один из выводов MP0 – MP11 (рисунок 1)) к которому через резистор 472 Ом подключается управляющий вывод потенциометра 10 КОм; «IOVDD» - подключается к выводу питания микросхемы (3,3 В); третий вывод потенциометра подключен к общему проводу («GND»).

Программная часть реализации регулятора громкости представлена на рисунке 3. Она состоит из блока «Single Volume» («Volume Control» → «Adjustable Gain» → «Single/Multiply Controls» → «No Slew (Standard)» в программе «SigmaStudio») и управляющего входа «Auxiliary ADC Input» («IO» → «GPIO» → «Input» в

«SigmaStudio»)

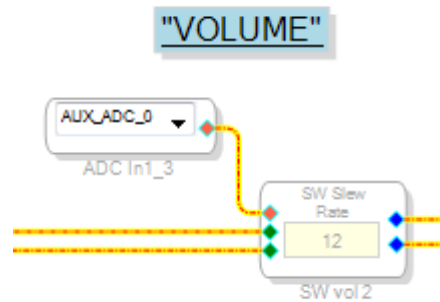


Рисунок 3 — программная часть реализации регулятора громкости

Блок «Single Volume» имеет настройку количества шагов регулировки (по умолчанию 12). Вспомогательный вход «Auxiliary ADC Input» подключается к требуемому контакту микросхемы. Подключение осуществляется в окне программы «Hardware Configuration» на вкладке «IC1 170x\140x Register Control» (настройка GPIO портов микросхемы (рисунок 4)).

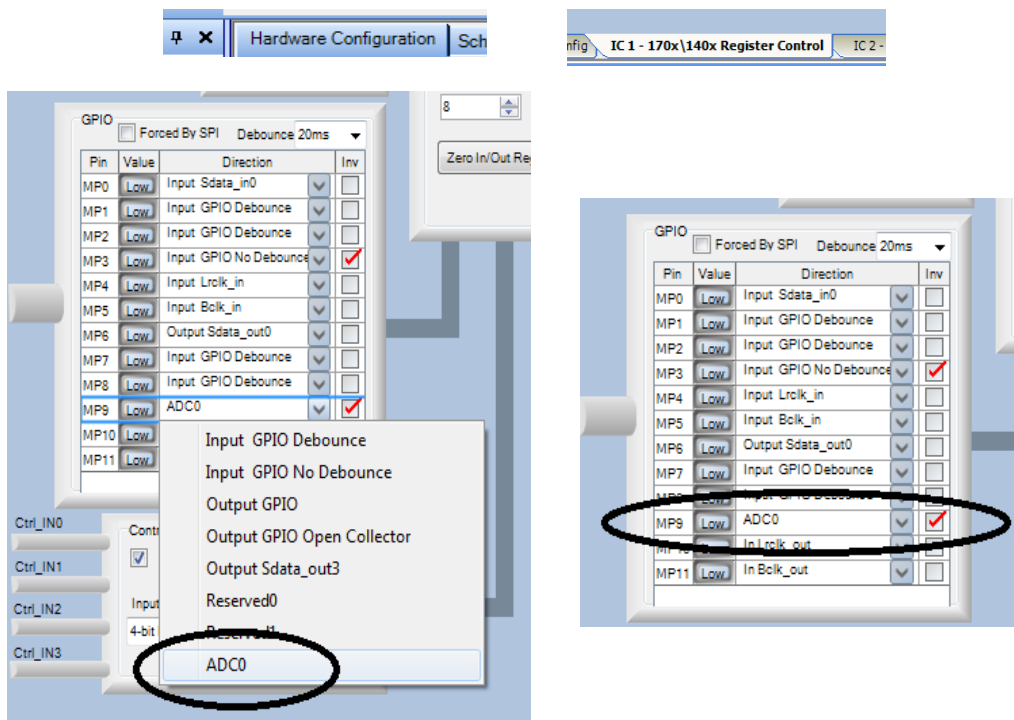


Рисунок 4 — Настройка «GPIO» портов микросхемы

После настройки программы прошивки, ее записи в память микросхемы и проведения необходимых внешних подключений, следует проверить ее работоспособность. При включении платы DSP проверить уровень сигнала в верхнем плече схемы (рисунок 2), он должен составлять 3,2 — 3,3 В при минимальном сопротивлении верхнего плеча потенциометра (максимальная громкость звукового сигнала) и 0 В при максимальном сопротивлении (минимальная громкость).

2. *Задержка прохождения звукового сигнала, реализуемая программным способом.* Пример реализации представлен на рисунке 5.

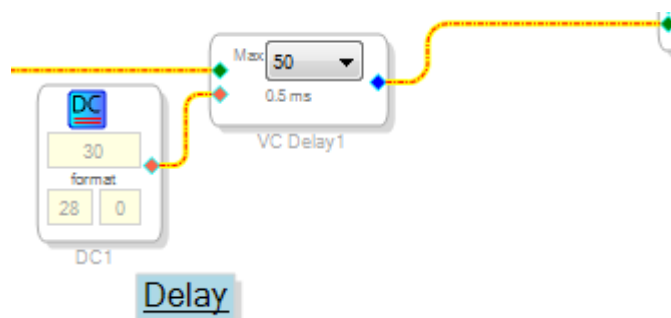


Рисунок 5 — программная реализация задержки прохождения сигнала

Задержка формируется при помощи блоков «Multy-Tap Voltage Controlled Delay» («Basic DSP» → «DSP Fuction» → «Delay» → «Fractional» в «SigmaStudio») и «DC Input Entry» («Sources» → «DC»)

Расчет задержки производится по следующей формуле:

$$Delay = \frac{1}{Sample\ Rate} \times n$$

здесь: *Delay* – задержка (сек.); *Sample Rate* — частота дискретизации проекта (Гц); *n* – число тактов.

Пример расчета:

$$Delay = \frac{1}{96000} \times 50 \approx 5.21 \times 10^{-4} \text{сек.} = 0.521 \text{ мс}$$

В данном случае задержка прохождения сигнала будет неизменна (изменение возможно при изменении программы прошивки и ее перезаписи в память микросхемы).

В блоке «Multy-Tap Voltage Controlled Delay» можно выбрать максимальное значение задержки в тактах ($n = 0 \div 512$). В блоке «DC Input Entry» можно выбрать текущее значение задержки в тактах. Значение задержки в этих двух блоках может дублироваться.

Задержка формируется полностью программным способом без изменения либо дополнения «обвязки» микросхемы.

3. **Задержка прохождения сигнала, реализуемая аппаратно-программным способом.**

Задержка реализуется подключением к микросхеме внешнего потенциометра и формированием необходимых функциональных блоков в программе DSP. Потенциометр подключается к микросхеме по схеме представленной на рисунке 2, рассмотренной выше.

Программная часть реализации задержки представлена на рисунке 6. Она состоит из следующих блоков: «Multy-Tap Voltage Controlled Delay» («Basic DSP» → «DSP Fuction» → «Delay» → «Fractional» в «SigmaStudio»); «Multiply» («Basic DSP» → «Arithmetic Operations»); «DC Input Entry» («Sources» → «DC») и управляющего входа «Auxiliary ADC Input» («IO» → «GPIO» → «Input»).

Вспомогательный вход «Auxiliary ADC Input» настраивается аналогично варианту, рассмотренному в пункте 1.

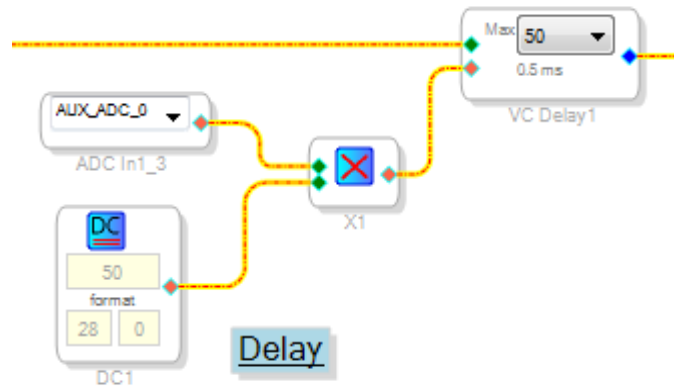


Рисунок 6 — программная часть реализации задержки прохождения сигнала

В данном случае изменение задержки прохождения сигнала будет управляется внешним потенциометром в диапазоне от нуля до n тактов (но не более указанного в блоке «Multy-Tap Voltage Controlled Delay» числа), указанных в блоке «DC Input Entry».